

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-017941

(43)Date of publication of application : 19.01.1996

(51)Int.Cl.

H01L 21/8242
H01L 27/108
H01L 27/04
H01L 21/822
H01L 21/8238
H01L 27/092

(21)Application number : 06-169050

(71)Applicant : HITACHI LTD

(22)Date of filing : 28.06.1994

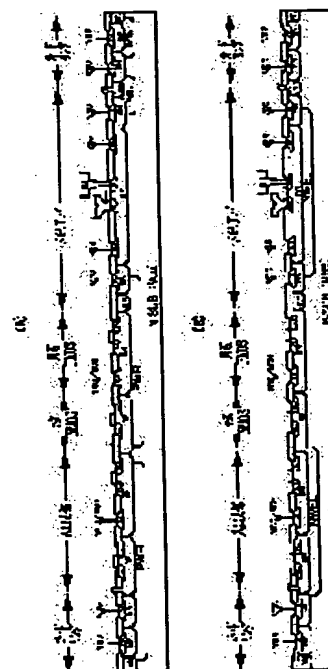
(72)Inventor : NAKAMURA MASAYUKI
MIYAZAWA KAZUYUKI
IWAI HIDETOSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To increase the storage capacity of a memory array and improve the refresh characteristics, by supplying only the necessary and minimized back bias voltage to a P-type well where a memory array part is formed, and forming a specified I/O circuit.

CONSTITUTION: A memory array part and an I/O circuit are formed. The memory array part is constituted by arranging dynamic memory cells in a matrix. A P-type well region BP where the memory array is formed is formed in an N substrate N-SUB, and a substrate bias voltage VBB like-IV is supplied. That is, a back bias voltage of a small absolute value which is optimum to refresh characteristics is supplied. A back bias voltage wherein the under shoot voltage is considered and the absolute value is increased is supplied to the P-type well region BP where an N channel MOSFET constituting an I/O part is formed. Thereby a leak current is reduced, refresh characteristics are improved, and under shoot countermeasure is obtained.



LEGAL STATUS

[Date of request for examination] 22.08.2000

[Date of sending the examiner's decision of rejection] 17.02.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-17941

(43) 公開日 平成8年(1996)1月19日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8242

27/108

27/04

H 0 1 L 27/ 10

3 2 5 R

27/ 04

G

審査請求 未請求 請求項の数 6 F D (全 17 頁) 最終頁に続く

(21) 出願番号 特願平6-169050

(22) 出願日 平成6年(1994)6月28日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 中村 正行

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 宮沢 一幸

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 岩井 秀俊

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74) 代理人 弁理士 徳若 光政

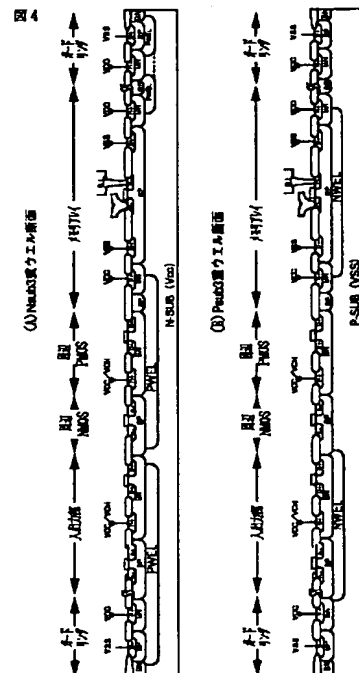
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】 (修正有)

【目的】 マトリックス配置されたダイナミックメモリアレイを大記憶容量化し、そのリフレッシュ特性を改善する。

【構成】 マトリックス配置されたダイナミックメモリアレイを形成するP型ウェル部にそのリフレッシュ特性に最適な絶対値の小さいバックバイアス電圧を供給し、入力回路又は出力回路のNチャンネルMOSFETが形成されるP型ウェル部には、アンダーシュート電圧を考慮した絶対値の大きなバックバイアス電圧を供給する。

【効果】 メモリアレイ形成領域に必要な最小限のバックバイアス電圧しか供給されないから、キャパシタが接続されるソース、ドレイン領域とP型ウェルとの間のリーク電流が減少してリフレッシュ特性が改善され、また外部端子に対応したP型ウェル領域にはアンダーシュート対策用のバックバイアス電圧を供給できる。



1

【特許請求の範囲】

【請求項1】 ダイナミック型メモリセルがマトリックス配置されてなるメモリアレイ部が形成される第1のP型ウェル部と、外部端子に接続される入力回路又は出力回路のNチャンネル型MOSFETが形成される第2のP型ウェル部とを含み、上記第1のP型ウェル部にはリフレッシュ特性に最適な絶対的に小さな第1のバックバイアス電圧を供給し、第2のP型ウェル部には外部端子におけるアンダーシュート電圧を考慮して絶対的に大きくされた第2のバックバイアス電圧を供給してなることを特徴とする半導体集積回路装置。

【請求項2】 ダイナミック型メモリセルがマトリックス配置されてなるメモリアレイ部が形成される第1のP型ウェル部と、外部端子に接続される入力回路又は出力回路のNチャンネル型MOSFETが形成される第2のP型ウェル部と、上記メモリアレイ部及び入力回路又は出力回路のNチャンネル型MOSFET以外のNチャンネル型MOSFETが形成される第3のP型ウェル領域を含み、上記第1のP型ウェル部にはリフレッシュ特性に最適な絶対的に小さな第1のバックバイアス電圧を供給し、第2のP型ウェル部には外部端子におけるアンダーシュート電圧を考慮して絶対的に大きくされた第2のバックバイアス電圧を供給し、上記第3のP型ウェル領域には回路の接地電位を供給してなることを特徴とする半導体集積回路装置。

【請求項3】 上記第1のP型ウェル領域に供給される第1のバックバイアス電圧と上記第2のP型ウェル領域に供給される第2のバックバイアス電圧は、それぞれが内部に形成された第1と第2のチャージポンプ回路により発生されるものであることを特徴とする請求項1又は請求項2の半導体集積回路装置。

【請求項4】 上記第1のP型ウェル領域に供給される第1のバックバイアス電圧は、定電圧化された内部電圧により形成されたパルス信号を用いた第1のチャージポンプ回路により形成されるものであることを特徴とする請求項1又は請求項2の半導体集積回路装置。

【請求項5】 上記第1のP型ウェル領域は、N型半導体基板上に形成されており、第2と第3のP型ウェル領域は、N型半導体基板上に形成された深いP型ウェル領域に形成されるものであり、かかる深いP型ウェル領域にはPチャンネル型MOSFETを形成するN型ウェル領域も形成されるものであることを特徴とする請求項2の半導体集積回路装置。

【請求項6】 上記第1のP型ウェル領域は、P型半導体基板上に形成された深い第1のN型ウェル領域に形成されており、第2のP型ウェル領域は、P型半導体基板上に形成された深い第2のN型ウェル領域に形成されるものであり、かかる深い第2のN型ウェル領域にはPチャンネル型MOSFETを形成するN型ウェル領域も形成されるものであることを特徴とする請求項1又は請求

2

項2の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体集積回路装置に関し、特にダイナミック型メモリセルがマトリックス配置されてなるメモリアレイ部と、外部端子に接続される入出力回路とを備えたものに利用して有効な技術に関するものである。

【0002】

【従来の技術】 三重ウェル構造によりMOSFETのしきい値電圧を最適化したダイナミック型RAMが、日経マクロウヒル社発行1989年3月付『日経マイクロデバイス』頁54～頁58により提案されている。このダイナミック型RAMでは、N基板を用いてメモリセルをP型ウェルとN型基板接合を利用して、ソフト・エラー耐性を向上させるとともに、入力ピンのアンダーシュートや周辺回路のNチャンネル型MOSFETから発生する少数キャリアが原因で生じるメモリセルのデータ破壊を解消させ、メモリセルのデータ保護特性を改善させる。

【0003】 上記三重化ウェル構造では、素子の微細化と電源降圧に伴う基板効果の問題を解決するため、周辺回路を構成するPチャンネル型MOSFETとNチャンネル型MOSFETが形成されるウェル領域に、特性上最適なしきい値電圧に設定するようなバイアス電圧を供給する。これに対して、メモリアレイのP型ウェル領域には従来通りのバックバイアス電圧を印加する。

【0004】

【発明が解決しようとする課題】 素子の微細化に伴い、リフレッシュ特性が悪化する傾向にある。つまり、大記憶容量化のために素子を微細化していくと、リフレッシュ周期が短くなる傾向にあることが判明した。本願発明者において、このようなリフレッシュ特性を解析した結果、次のことが判明した。メモリセルが形成されるP型ウェル領域にバックバイアス電圧を供給するのは、アドレス選択用のスイッチMOSFETのしきい値電圧を大きくし、ビット線とのカップリングによって非選択メモリセルのゲート電圧が浮き上がりスイッチMOSFETがウィークリイにオン状態になってビット線のハイレベル又はロウレベルが記憶キャパシタに伝えられてしまうのを防ぐためである。従来は専らこのような観点からバックバイアス電圧が設定され、上述したダイナミック型RAMにおいても入力ピンのアンダーシュートを考慮した-3V程度のような比較的大きな負のバイアス電圧 V_{BB} が与えるものである。

【0005】 しかしながら、素子の微細化に伴いメモリセル間のフィールド絶縁膜下のチャンネルストッパーとしてのP型不純物濃度が高くする必要があり、それと適合するように設けられるスイッチMOSFETの蓄積ノード（記憶キャパシタ側）のソース、ドレイン拡散層と

3

のPN接合が高不純物濃度とされる。そのため、従来のようにメモリアレイが形成されるP型ウェル領域のバックバイアス電圧を高くすると、かかるPN接合におけるリーク電流が大きくなって上述のようにリフレッシュ周期を短くしてしまう大きな原因になることが判明した。

【0006】この発明の目的は、ダイナミック型メモリセルがマトリックス配置されてなるメモリアレイの大記憶容量化と、そのリフレッシュ特性の改善を図った半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、ダイナミック型メモリセルがマトリックス配置されてなるメモリアレイ部が形成されるP型ウェル部には、そのリフレッシュ特性に最適な絶対値的に小さな電圧にされたバックバイアス電圧を供給し、外部端子に接続される入力回路又は出力回路のNチャンネル型MOSFETが形成されるP型ウェル部には、アンダーシュート電圧を考慮した絶対値的に大きくされたバックバイアス電圧を供給する。

【0008】

【作用】上記した手段によれば、メモリアレイ部が形成されるP型ウェル領域には、必要最小にされたバックバイアス電圧しか供給されないから、キャパシタが接続されるソース、ドレイン領域とP型ウェルとの間に流れるリーク電流を低減させてリフレッシュ特性を改善しつつ、外部端子に対応した入力回路又は出力回路が形成されるP型ウェル領域にはアンダーシュート対策用のバックバイアス電圧が供給できる。

【0009】

【実施例】図1には、この発明が適用されたダイナミック型RAMの一実施例のブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術によって、単結晶シリコンのような1個の半導体基板上において形成される。同図における各回路ブロックは、実際の半導体チップにおける幾何学的な配置に合わせて描かれている。本願において、MOSFETは絶縁ゲート型電界効果トランジスタ(IGFET)の意味で用いている。

【0010】この実施例においては、メモリの大容量化に伴うチップサイズの大型化による制御信号やメモリアレイ駆動信号といった各種配線長が長くされることによって動作速度も遅くされてしまうのを防ぐ等のために、RAMを構成するメモリアレイ部とそのアドレス選択等を行う周辺部との配置に次のような工夫が行われている。

【0011】同図において、チップの縦中央部と横中央部とから形作られる十文字エリアが設けられる。この十

4

文字エリアには主に周辺回路が配置され、上記十文字エリアにより4分割されたエリアにはメモリアレイが配置される。すなわち、チップの縦方向と横方向の中央部に十文字状のエリアを設け、それにより4つに分割されたエリアにメモリアレイが形成される。特に制限されないが、上記4つのメモリアレイは、後述するようにそれぞれが約4Mビットの記憶容量を持つようにされる。これに応じて4つのメモリアレイ全体では、約16Mビットの大記憶容量を持つものとされる。

【0012】1つのメモリマットMEMORY MATは、横方向にワード線が延長するよう配置され、縦方向に一对からなる平行に配置される相補ビット線(データ線又はディジット線)が延長するよう配置される。メモリマットMEMORY MATは、センスアンプSAを中心にして左右に一对が配置される。センスアンプSAは、左右に配置される一对のメモリマットMEMORY MATに対して共通に用いられるという、いわゆるシェアードセンスアンプ方式とされる。

【0013】上記4つに分割されたメモリアレイのうち、中央部側にY選択回路Y-DECODERがそれぞれ設けられる。Y選択線はY選択回路Y-DECODERからそれに対応するメモリアレイの複数のメモリマットMEMORY MAT上を延長するよう延びて、各メモリマットMEMORY MATのカラムスイッチ用MOSFETのゲートのスイッチ制御を行う。

【0014】上記チップの横方向の中央部のうち、左側の部分にはXアドレスバッファX-ADDRESS BUFFER、X冗長回路X-REDUNDANCY CKT及びXアドレスドライバX-ADDRESS DRIVER(論理段LOGIC STEP)とからなるX系回路と、RAS系制御信号回路RAS CKT、WE系信号制御回路WE SYSTEM、データ入力バッファDIN BUFFER及び内部降圧回路VCL LIMITERがそれぞれ設けられる。上記内部降圧回路VCL LIMITERはこのエリアの中央寄りに設けられ、約5Vのような外部電源VCCを受けて内部回路に供給される約3.3Vのような電圧に対応した定電圧VCLを形成する。

【0015】上記チップの横方向の中央部のうち、右側の部分にはYアドレスバッファY-ADDRESS BUFFER、Y冗長回路Y-REDUNDANCY及びYアドレスドライバY-ADDRESS DRIVER(論理段LOGIC STEP)とからなるY系回路と、CAS系制御信号回路CAS CKT及びテスト回路TEST FUNCTIONがそれぞれ設けられる。そのチップ中央部には、アドレスバッファやデコーダといったような周辺回路用の電源電圧VCLを形成する内部降圧回路VDL LIMITERが設けられる。

【0016】上記のように、アドレスバッファとそれに対応したアドレス比較回路を含む冗長回路X、Y-RE

5

DUNDANCY、制御クロック発生を行うCAS、RAS系制御信号回路RAS、CAS CKT等を一個所に集中配置すると、例えば配線チャンネルを挟んでクロック発生回路と他の回路を振り分けること、言い換えるならば上記配線チャンネルを共用化することによって高集積化が可能になるとともに、アドレスドライバ（論理段）等に最短でしかも等距離で信号を伝えることができる。

【0017】RAS系制御回路RAS CKTは、ロウアドレスストロブ信号RASBを受けてXアドレスバッファX-ADDRESS BUFFERを活性化するために用いられる。XアドレスバッファX-ADDRESS BUFFERに取り込まれたアドレス信号はX系の冗長回路X-REDUNDANCYに供給される。ここで、記憶された不良アドレスとの比較が行われて、冗長回路への切り換えることの有無が判定される。その結果と上記アドレス信号とは、X系のプリデコーダに供給される。ここで、プレコード信号が形成され、各メモリアレイに対応して設けられるXアドレスドライバDV2、DV3を介して、前記のようなメモリマットに対応して設けられるそれぞれのXデコーダX-DECODERに供給される。

【0018】一方、上記RAS系の内部信号は、WE系のコントロール回路WE SYSTEMとCAS系のコントロール回路CAS CKTに供給される。例えば、上記RASB信号とカラムアドレスストロブ信号CASB及びライトイネーブル信号WEBとの入力順序の判定から、自動リフレッシュモード（CBR）、テストモード（WCBR）等の識別が行われる。テストモードのときには、テスト回路TEST FUNCTIONが活性化され、公開・標準化又は必要に応じて設けられる非公開の各テストモードにおいて、それぞれのタイミングで供給される特定のアドレス信号に従いテストファンクションが設定される。

【0019】CAS系の制御回路CAS CKTは、信号CASBを受けてY系の各種制御信号を形成するために用いられる。信号CASBのロウレベルへの変化に同期してYアドレスバッファY-ADDRESS BUFFERに取り込まれたアドレス信号は、Y系の冗長回路Y-REDUNDANCYに供給される。ここで記憶された不良アドレスとの比較が行われて、冗長回路への切り換えの有無が判定される。その結果と上記アドレス信号は、Y系のプリデコーダに供給される。プリデコーダは、プレコード信号を形成する。このプリデコード信号は、4つからなる各メモリアレイ対応して設けられるYアドレスドライバDV1を介して、それぞれのYデコーダY-DECODERに供給される一方、上記CAS系制御回路CAS CKTは、前記のようにRASB信号とWEB信号とを受けてその入力順序の判定からテストモードを判定すると、隣接するテスト回路TEST

6

FUNCTIONを活性化させる。

【0020】上記チップの縦方向の中央部のうち、上側の部分にはこのエリアの中心軸に対して左右対称的に合計16個のメモリマットMEMORY MATと8個のセンスアンプSAがそれぞれ配置される。そのうち、左右4組ずつのメモリマットMEMORY MATとセンスアンプSAに対応して4個からなるメインアンプMAが設けられる。この他、この縦中央上部には、内部降圧電圧を受けてワード線選択用等の昇圧電圧発生回路VCHや、アドレス信号や制御信号等の入力信号に対応した入力パッドエリアが設けられる。

【0021】この実施例では1つのブロックには8個のメモリマットMEMORY MATと4個のセンスアンプSAが配置され、上記縦軸を中心として左右対称的に合計16個のメモリマットMEMORY MATと8個のセンスアンプSAが割り当てられる。この構成では、4個からなる少ないメインアンプMAを用いつつ、各センスアンプSAからの増幅信号を短い信号伝播経路によりメインアンプMAに伝えることができる。

【0022】上記チップの縦方向の中央部のうち、下側の部分にもこのエリアの中心軸に対して左右対称的に合計16個のメモリマットMEMORY MATと8個のセンスアンプSAがそれぞれ配置される。そのうち、左右4組ずつのメモリマットMEMORY MATとセンスアンプSAに対応して4個からなるメインアンプMAが設けられる。

【0023】上記の他、この縦中央部には、内部降圧電圧を受けて基板に供給すべき負のバイアス電圧を形成する基板電圧発生回路VBBや、アドレス信号や制御信号等の入力信号に対応した入力パッドエリア及びデータ出力バッファ回路OUTPUT BUFFERが設けられる。上記同様に4個のような少ない数からなるメインアンプMAを用いつつ、各センスアンプSAからの増幅信号を短い信号伝播経路によりメインアンプ7に伝えることができる。

【0024】同図では省略されているが、上記縦中央部の領域には各種のボンディングパッドが配置される。これらのボンディングパッドの例としては外部電源供給用のパッドあり、入力のレベルマージンを大きくするため、言い換えるならば電源インピーダンスを低くするために回路の接地電位を供給するパッドは、合計で十数個と比較的多くほぼ一直線上に並んで配置される。これらの接地電位用パッドは、LOC技術により形成される縦方向に延びる接地電位用リードに接続される。これら接地用パッドのうち、ワード線のクリア、ワードドライバの非選択ワード線のカップリングによる浮き上がり防止のために特に設けられるものや、センスアンプのコモンソース用として設けられもの等のように主として電源インピーダンスを下げる目的で設けられる。

【0025】これにより、回路の接地電位は内部回路の

7

動作に対して電源インピーダンスが低くされ、かつ上記のごとく複数種類に分けられた内部回路間の接地配線が、LOCリードフレームとボンディングワイヤとからなるローパスフィルタで接続されることになるからノイズの発生を最小に抑えけるとともに、内部回路間の回路接地線ノイズの伝播も最小に抑えることができる。

【0026】この実施例では、約5Vのような外部電源VCCに対応したパッドは、上記電圧変換動作を行う内部降圧回路VCL、VDL LIMITERに対応してそれぞれ設けられる。これも上記同様に電源インピーダンスを低くするとともに、内部回路間の電圧(VCL、VDL及びVCC間)のノイズ伝播を低く抑えるためのものである。

【0027】アドレス入力用のパッドと、RAS、CAS、WE及びOEのような制御信号用のパッドは上記中央部のエリアに配置される。この他にデータ入力用やデータ出力用のパッドやボンディングマスター用、モニタ用及びモニタ用パッド制御のために以下のパッドも設けられる。

【0028】ボンディングマスター用としてはスタティックカラムモードを指定するためのもの、ニブルモード及び×4ビット構成時のライトマスク機能を指定するためのものがある。モニタ用としてはパッド各内部電圧VCL、VDL、VL、VBB、VCH及びVPLをモニタするためのものがある。VPLのモニタは、VPL調整が正しく行われたか否かをプロービングにおいて判定するものである。

【0029】内部降圧回路VCL LIMITERは、約3.3Vのような周辺回路用電源電圧VCLを発生させる。内部降圧回路VDL LIMITERは、約3.3Vのようなメモリアレイ、すなわち、センスアンプSAに供給される電源電圧VDLを発生させる。昇圧回路VCHは上記内部電圧VCLを受けて約5.3Vに昇圧されたワード線の選択レベル、シェアードスイッチMOSFETを選択するブースト電源電圧を形成する。基板電圧発生回路は、2つ設けられており、その一方は入出力回路を構成するNチャンネル型MOSFETが形成されるP型ウェル領域に与えられる-2Vを発生させるものと、メモリマットMEMORY MATが形成されるP型ウェル領域に与えられる-1Vを発生させるものからなる。プレート電圧発生回路VPLは、メモリセルのプレート電圧を発生させる。

【0030】この実施例のダイナミック型RAMにおいて、Nチャンネル型MOSFETが形成されるP型ウェル領域は、それに供給されるバックバイアス電圧により分類すると3つに分けられる。第1のP型ウェル領域は、ダイナミック型メモリセルがマトリックス配置されてなるメモリアレイが形成されるものであり、第2のP型ウェル領域は、外部端子に接続される入力回路又は出力回路が形成されるものである。そして、残る第3のP

8

型ウェル領域は、上記メモリアレイの周辺回路であり、ダイナミック型メモリセルが接続されるデータ線をプリチャージするプリチャージ回路、センスアンプ、かかるセンスアンプとデータ線とを接続させるスイッチMOSFETは周辺回路に含まれる。つまり、上記のメモリアレイとは、メモリセルのみがマトリックス配置される部分である。

【0031】上記のように3つに分けられるP型ウェル領域は、物理的に3つ存在するという意味ではない。すなわち、メモリアレイが形成される第1のP型ウェル領域は、複数に分割されてなるメモリマットに対応して複数から構成される。同様に、周辺回路が形成される第3のP型ウェル領域は、上記メモリマットに対応して設けられるものや、アドレスデコーダ及び制御回路を構成する論理回路ブロック毎に対応して適宜に分けられた複数から構成される。そして、第2のP型ウェル領域は、外部端子に接続される入出力回路が、図1に示すようにメインアンプMAや電圧発生回路VCH、VBBのような回路により分断されているので、それぞれが適宜に分けられる。

【0032】上記メモリアレイが形成される第1のP型ウェル領域には、後述するような理由から、-1Vのような絶対値的に小さなバックバイアス電圧が供給される。これに対して、入出力回路が形成される第2のP型ウェル領域には、外部端子のアンダーシュートによってそれが伝えられる半導体領域と、P型ウェル領域との間が順バイアスされないような-2Vのように絶対値的に大きなバックバイアス電圧が供給される。そして、上記のメモリアレイ及び入出力回路以外の周辺回路が形成される第3のP型ウェル領域は、回路の接地電位が供給される。これにより、周辺回路のMOSFETのしきい値電圧が小さくなり、動作の高速化が可能になる。特に、電源電圧を3.3Vのように低くするとともに、内部降圧回路により内部電圧を2.2V程度に低くしたものである。このような低振幅の入力信号に対するMOSFETのコンダクタンスが大きくなり、動作の高速化が可能になるものである。

【0033】上記のように3つに分けられたP型ウェル領域のうち、周辺回路が形成される第3のP型ウェル領域には回路の接地電位が与えられるから基板バイアス発生回路が不要となり、残り2つの第1と第2のP型ウェル領域にそれぞれ別個のバックバイアスを供給するために、上記のように2つの基板バイアス電圧発生回路VBBが設けられる。

【0034】図2には、この発明が適用されたダイナミック型RAMにおける制御信号に着目したブロック図が示されている。同図は、上記図1に示したレイアウト図に対応して描かれている。

【0035】RAS系のコントロール回路RAS CONTROL (CKT) は、信号RASBを受けてXアド

レスバッファX-ADDRESS BUFFERを活性化するために用いられる。XアドレスバッファX-ADDRESS BUFFERに取り込まれたアドレス信号はX系の冗長回路X-REDUNDANDY CKTに供給される。ここで、記憶された不良アドレスとの比較が行われて、冗長回路への切り換えることの有無が判定される。

【0036】その結果と上記アドレス信号とは、X系のプリデコーダX-PRE DEC (X1, AXn1) に供給される。ここで、XiとAXn1からなるプレデコード信号が形成され、各メモリアレイに対応して設けられるXアドレスドライバXiB、AXn1を介して、前記のようなメモリマツ MEMORY MATに対応して設けられるそれぞれのXデコーダX-DECに供給される。同図においては、1つのドライバのみが代表として例示的に示されている。

【0037】一方、上記RAS系の内部信号は、WE系のコントロール回路WE CONTROLとCAS系のコントロール回路CAS CONTROL (CKT) に供給される。例えば、RASB信号とCASB信号及びWEB信号との入力順序の判定から、自動リフレッシュモード(CBR)、テストモード(WCBR)等の識別が行われる。テストモードのときには、テスト回路TEST FUNCTIONが活性化され、前記公開・標準化テストモードと非公開テストモードのそれぞれにのとき供給される特定のアドレス信号に従いテストファンクションが設定される。

【0038】上記XアドレスバッファX-ADDRESS BUFFERに取り込まれたアドレス信号のうち、メモリマツの選択を指示するアドレス信号はマツ選択回路MSiL/Rに伝えられ、ここから各メモリアレイに設けられた複数のメモリマツ MEMORY MATのうちいずれかが選択される。ここで、メモリマツ MEMORY MATに対応して設けられるCSは、コモンソーススイッチMOSFETである。

【0039】4つのメインアンプMAは、それを中心にして左右対称的に設けられた合計8個のメモリマツからの4対の相補データ線(4ビット)に対応している。メモリマツ選択信号MSiL/Rにより上記8つのメモリマツのうち1つが選ばれる。このような選択動作を行うのが単位マツ制御回路UMCである。同図には、4対のメインアンプMAが1組として例示的に示されており、残り3組のメインアンプは破線によりブラックボックスとして示している。

【0040】マツ選択回路MSiL/Rは、4通りの選択信号MS0L/RないしMS3L/Rを形成する。例えばMS0Lが形成されると、MS0Lに対応した4つのメモリマツが選択される。これらの4つのメモリマツMS0Lは、それぞれから4ビットの入出力ノードを持つからそれが上記4個づつのメインアンプMAに

対応される。

【0041】CAS系のコントロール回路CAS CONTROL (CKT) は、信号CASBを受けてY系の各種制御信号を形成するために用いられる。信号CASBのロウレベルへの変化に同期してYアドレスバッファY-ADDRESS BUFFERに取り込まれたアドレス信号は、Y系の冗長回路Y-REDUNDANCY CKTに供給される。ここで、記憶された不良アドレスとの比較が行われて、冗長回路への切り換えの有無が判定される。

【0042】その結果と上記アドレス信号は、Y系のプリデコーダY-PRE DEC (Y1, AYn1) に供給される。ここで、YiとAYn1からなるプレデコード信号が形成される。このプリデコード信号YiとAYn1は、4つからなる各メモリアレイに対応して設けられるYアドレスドライバ(最終段)YiB、AYn1を介して、それぞれのYデコーダY-DECに供給される。同図においては、1つのYドライバYiB、AYn1Bのみが代表として例示的に示されている。

【0043】一方、上記CAS系のコントロール回路CAS CONTROL (CKT) は、前記のようにRASB信号とWEB信号とを受けてその入力順序の判定からテストモードを判定すると、隣接するテスト回路TEST FUNCTIONを活性化させる。

【0044】同図では、省略されているが、アドレス信号や制御信号が供給されるボンディングパッドは、チップの中央部に集められて配置される。それ故、各パッドから対応する回路までの距離を短く、ほぼ均一にできる。これにより、この実施例のようなレイアウトを採ることによって、アドレス信号や制御信号の取り込みが高速に行われるとともに、多数ビットからなるアドレス信号にあっては多ビットからなるアドレス信号相互において生じるスキューを最小に抑えることができる。

【0045】同図に示すように、センスアンプ(SA)用の電源VDLや周辺回路用電源VCLも、チップの中央部に配置されている。これにより、チップの4隅に配置される回路に対して等距離でしかも短い配線により各種電圧供給を行うことができるものとなる。また、各回路に応じて図示しないが、電圧安定化、言い換えるならば、電源インピーダンスを下げるための比較的大きな容量値を持つようなキャパシタがそれぞれの電源配線に沿って回路内に分散されて設けられる。

【0046】図3には、基板バイアス発生回路の一実施例の回路図が示されている。この実施例の基板バイアス発生回路は、前記入出力回路が形成される第2のP型ウェル領域に供給される-2Vのような絶対値的に大きくされたバックバイアス電圧を形成する回路である。

【0047】低消費電力で効率よく基板バイアス電圧を形成するために、上記-2Vのようなバックバイアス電圧が形成されるように、後述するような制御回路により

11

上記-2Vより絶対的にバイアス電圧が低下したときのように間欠的に発振パルスOSCとOSCBを次のチャージポンプ回路に供給して、負のバックバイアス電圧VBB1を発生させる。上記発振パルスOSCとOSCBは、遅延回路を構成するインバータ回路N6~N9とゲート回路G4及びG5と出力インバータ回路N10により構成されるパルス生成回路によって、互いに逆相で、かつノンオーバーラップとされる。

【0048】上記互いに逆相の発振パルスOSCとOSCBは、交互に動作する2つのチャージポンプ回路に伝えられて、予備動作と出力動作とが交互に行われて負電圧を効率よく発生させる。すなわち、発振パルスOSCがロウレベルのときには、インバータ回路N1とN2の出力がハイレベルとなり、このときにノードAの電位の負電圧によりPチャンネル型MOSFETQ1とQ2がオン状態であるためキャパシタC1とX2にそれぞれプリチャージが行われる。

【0049】このとき、発振パルスOSCBはハイレベルであり、インバータ回路N3の出力信号のロウレベルによりその前のサイクルでチャージアップされたキャパシタC3の保持電圧が負電圧にされてPチャンネル型のスイッチMOSFETQ7をオン状態にさせている。これにより、同様に発振パルスOSCBのハイレベルに対応したインバータ回路N4のロウレベルにより、キャパシタC4のノードAの負電圧がスイッチMOSFETQ7を通してバックバイアス電圧VBB1として出力されるものである。

【0050】次に、発振パルスOSCがハイレベルに変化すると、インバータ回路N1の出力信号がロウレベルに変化し、上記前のチャージアップ動作によりキャパシタC3の保持電圧が負電圧にされてPチャンネル型のスイッチMOSFETQ3をオン状態にさせる。これと同期して、インバータ回路N2の出力信号もロウレベルに変化し、キャパシタC2のノードBの負電圧が上記オン状態のスイッチMOSFETQ3を通してバックバイアス電圧VBB1として出力される。

【0051】このとき、発振パルスOSCBはロウレベルであり、インバータ回路N3とN4の出力信号のハイレベルと、上記ノードBの負電圧によりPチャンネル型MOSFETQ5とQ6がオン状態にされているので、キャパシタC3とQ4にはチャージアップが行われている。以下、発振パルスOSCとOSCBが変化するとき、一方では負電圧出力動作が行われ、他方ではチャージアップ動作が行われて効率のよいチャージポンプ動作が行われる。

【0052】M3は、マタススライスにより形成されるメタル配線であり、MOSFETQ3とQ7をダイオード接続するようにもできる。このときには、上記キャパシタC1とC3により形成される負電圧が無効にされ、キャパシタC2又はC4により形成された負電圧が

12

MOSFETQ3とQ7のしきい値電圧分だけ低下して出力される。

【0053】メモリアレイが形成される第1のP型ウェル領域に-1Vのようなバイアス電圧を供給する基板バイアス発生回路は、図3の回路と同様な回路により構成される。ただし、キャパシタC1~C4をプリチャージさせるハイレベルを形成するインバータ回路N1~N4は、その動作電圧が内部降圧回路により形成された定電圧とされる。例えば、外部端子から供給される電源電圧5Vのときには、前記のように約3.3Vのような定電圧VDLとされ、外部端子から供給される電源電圧が約3.3Vのときには内部降圧回路で形成された約2.2V程度の定電圧VDLとされる。

【0054】上記のように外部端子から供給される電源電圧VCCが約5Vであって、内部降圧回路VDLが約3.3Vのときには、第1のP型ウェル領域に供給されるバイアス電圧を形成するチャージポンプ回路においては、上記マスタースライス方式によりM3の配線を前記のようなMOSFETQ3とQ7をダイオード形態に接続する。これにより、これらのMOSFETQ3とQ4のしきい値電圧によるレベル低下を利用して、上記のような-1Vのような絶対的に小さくされたバイアス電圧を形成する。

【0055】外部端子から供給される電源電圧VCCが約3.3Vであって、内部降圧回路VDLが約2.2Vのような低い電圧のときには、第1のP型ウェル領域に供給されるバイアス電圧を形成するチャージポンプ回路においては、上記マスタースライス方式によりM3の配線によりキャパシタC1とC3により形成された負電圧のスイッチング信号を形成し、これらMOSFETQ3とQ7をスイッチ制御して、上記ような低電圧のときでも上記のような-1Vのようなバックバイアス電圧を効率よく形成する。

【0056】ゲート回路G1~G3は、その入力に供給される信号の組み合わせにより基板バイアス電圧が上記のように-2Vになるように間欠的に発振パルスOSCとOSCBを出力させる。これにより、無駄な電流消費を抑えるとともに、基板バイアス電圧の定電化を行うようにされる。また、後述するように電源電圧を高くしてバーンインテストを行うときに電源電圧の上昇に対応して基板バイアス電圧を高くされるようにする。上記メモリアレイの-1Vのような基板バイアス電圧を形成する基板バイアス回路においても、同様に定電圧化とバーンインテスト時に対応してバイアス電圧を高くするような制御回路が設けられる。

【0057】図4には、この発明に係るダイナミック型RAMにおける概略素子構造断面図が示されている。同図(A)には、N型基板(N-SUB)を用いる例が示され、同図(B)にはP型基板(P-SUB)が用いられる例が示されている。

13

【0058】同図(A)においては、N型基板が用いられる。つまり、この実施例ではN型基板による3重ウェル構造とされる。N型基板N-SUBには、深いP型ウェルPWELLが形成される。この深いP型ウェルPWELLの中に、入出力部を構成するNチャンネル型MOSFETが形成される第3のP型ウェル領域BPと、Pチャンネル型MOSFETが形成されるN型ウェル領域BNとが形成される。

【0059】上記入出力部を構成するPチャンネル型MOSFETが形成されるN型ウェル領域BNには電源電圧VCC又は昇圧電圧VCHが供給される。上記入出力部を構成するNチャンネル型MOSFETが形成されるP型ウェル領域BPには、図示ないけれども、前記のような基板バイアス発生回路により形成された-2Vのようなバイアス電圧が供給される。そして、入出力部が形成される深いP型ウェル領域には、回路の接地電位VSSが供給される。ガリードリングを構成するN型ウェル領域BNには電源電圧VCCが供給されて、深いP型ウェル領域PWELLにおける少数キャリアを吸収する。

【0060】周辺回路を構成するNチャンネル型MOSFETとPチャンネル型MOSFETは、前記のような入出力部を構成する深いP型ウェル領域とは分離された深いP型ウェル領域PWELLにそれぞれ形成された第3のP型ウェル領域BPとN型ウェル領域BPに形成される。周辺回路を構成するPチャンネル型MOSFETが形成されるN型ウェル領域BNには電源電圧VCC又は昇圧電圧VCHが供給される。例えば、後述するように、昇圧電圧VCHによりワード線の選択信号を形成するワードドライバを構成するPチャンネル型MOSFETが形成される第3のP型ウェル領域には昇圧電圧VCHが供給され、デコーダ等のような内部電源電圧で動作する回路を構成するPチャンネル型MOSFETが形成されるN型ウェル領域には電圧VCCが供給される。そして、Nチャンネル型MOSFETが形成される第3のP型ウェル領域には、図示ないけれども、回路の接地電位VSSが与えられる。

【0061】そして、メモリアレイが形成される第1のP型ウェル領域BPは、上記N基板N-SUBに形成され、-1Vのような基板バイアス電圧VBBが供給される。このメモリアレイの周辺には深い一対のP型ウェル領域とそれに挟まれたN型基板N-SUBに設けられたN型ウェル領域BNとにより構成されるガードリングが設けられる。

【0062】同図(B)においては、P型基板が用いられる。つまり、この実施例ではP型基板による3重ウェル構造とされる。P型基板P-SUBには、深いN型ウェルNWELLが形成される。この深いN型ウェルNWELLの中に、入出力部を構成するNチャンネル型MOSFETが形成される第3のP型ウェル領域BPと、Pチャンネル型MOSFETが形成されるN型ウェル領域

14

BNとが形成される。

【0063】上記入出力部を構成するPチャンネル型MOSFETが形成されるN型ウェル領域BNには電源電圧VCC又は昇圧電圧VCHが供給される。上記入出力部を構成するNチャンネル型MOSFETが形成されるP型ウェル領域BPには、図示ないけれども、前記のような基板バイアス発生回路により形成された-2Vのようなバイアス電圧が供給される。そして、入出力部が形成される深いP型ウェル領域には、電源電圧VCCが供給される。ガリードリングを構成するN型ウェル領域BNには電源電圧VCCが供給されて、P型ウェル領域BPには回路の接地電位VSSが与えられる。基板P-SUBにも回路の接地電位VSSが与えられる。

【0064】周辺回路を構成するNチャンネル型MOSFETとPチャンネル型MOSFETは、P型基板P-SUB上に形成された第3のP型ウェル領域BPとN型ウェル領域BPに形成される。周辺回路を構成するPチャンネル型MOSFETが形成されるN型ウェル領域BNには電源電圧VCC又は昇圧電圧VCHが供給される。例えば、後述するように、昇圧電圧VCHによりワード線の選択信号を形成するワードドライバを構成するPチャンネル型MOSFETが形成される第3のP型ウェル領域には昇圧電圧VCHが供給され、デコーダ等のような内部電源電圧で動作する回路を構成するPチャンネル型MOSFETが形成されるN型ウェル領域には電圧VCCが供給される。そして、図示ないけれども、Nチャンネル型MOSFETが形成される第3のP型ウェル領域BPには回路の接地電位VSSが供給される。

【0065】メモリアレイは、深いN型ウェル領域内に形成された第1のP型ウェル領域BPに形成される。この第1のP型ウェル領域BPには、-1Vのような基板バイアス電圧VBBが供給される。このメモリアレイの周辺には浅いN型ウェル領域BNとそれを挟むように形成された一対の浅いP型ウェル領域とにより構成されりガードリングが設けられる。上記N型ウェル領域BNには電源電圧VCCが供給され、P型ウェル領域BPには回路の接地電位VSSが供給される。

【0066】図5ないし図7には、この発明に係るダイナミック型RAMにおけるメモリマト部の一実施例の回路図が示されている。この実施例のメモリマトは、前記のようにシェアドセンスアンプ方式とされる。それ故、センスアンプを中心にして2つのメモリマトが配置される。

【0067】図5には、センスアンプを構成するPチャンネル型増幅MOSFETと、プリチャージ回路及びセンスアンプとその左側に設けられたメモリアレイのデータ線とを接続するスイッチMOSFETが示されている。メモリアレイは、第1のP型ウェル領域BP1に形成される。この第1のP型ウェル領域には、上記のように-1Vのような絶対値的に小さな基板バイアス電圧が

15

供給される。

【0068】 センスアンプを構成するPチャンネル型増幅MOSFETは、N型ウェル領域BNに形成される。そして、上記左側のメモリアレイのデータ線とセンスアンプとを接続させるNチャンネル型のスイッチMOSFET、及びデータ線の短絡とハーフプリチャージ電圧の供給を行うNチャンネル型のプリチャージMOSFET及び図6に示されたセンスアンプを構成するNチャンネル型の増幅MOSFETとは第3のP型ウェル領域に形成される。上記第3のP型ウェル領域には、前記のよう

に回路の接地電位が与えられる。

【0069】 図6には、上記Nチャンネル型の増幅MOSFETと、Pチャンネル型の増幅MOSFET及び右側のメモリアレイとそのデータ線とセンスアンプとを接続させるNチャンネル型のスイッチMOSFETが示されている。この実施例では、センスアンプの入力オフセット補償のために、センスアンプが増幅動作開始時にはNチャンネル型増幅MOSFETを先に動作状態にし、かかるNチャンネル型増幅MOSFETのゲート、ソース間のしきい値電圧のバラツキをソース側に設けられた

キャパシタを利用して補償させる。

【0070】 すなわち、キャパシタを通してソース電位を接地電位側に引き下げて第1段階の増幅動作を行い、増幅信号が大きくされると増幅MOSFETのソースと共通ソース線との間に設けられたNチャンネル型MOSFETをオン状態にして通常の増幅動作を開始する。その後、Pチャンネル型増幅MOSFETを動作状態にして、上記のようなNチャンネル型増幅MOSFETの増幅動作によって低下したハイレベルを電源電圧レベルまで引き上げるようにする。

【0071】 上記Pチャンネル型増幅MOSFETは、N型ウェル領域に形成され、右側のメモリアレイのデータ線とセンスアンプとを接続させるNチャンネル型のスイッチMOSFETは、回路の接地電位が与えられる第3のP型ウェル領域に形成される。そして、メモリアレイは、第1のP型ウェル領域に形成される。この第1のP型ウェル領域には、上記同様に-1Vのような基板バイアス電圧が供給される。

【0072】 図7には、上記右側のメモリアレイとカラムスイッチが示されている。この実施例のように、センスアンプを挟んで形成される2つのメモリアレイの右端部にカラムスイッチを設けるものである。左側のメモリアレイの増幅信号は、そのときには非選択にされる右側のメモリアレイのデータ線を信号配線として用いて入出力線に接続させる。つまり、左側のメモリアレイの読み出しを行うときには、センスアンプが活性化された後に右側のメモリアレイ用のスイッチMOSFETをオン状態にしてそのデータ線を信号線として利用して上記入出力線に伝えるようにするものである。右側のメモリアレイからの読み出しのときには、そのデータ線の信号

16

が選択されたカラムスイッチMOSFETを通して入出力線に伝えられる。上記のようなカラムスイッチは、Nチャンネル型MOSFETから構成される。これらのカラムスイッチMOSFETも第3のP型ウェル領域に形成されており、回路の接地電位のようなバイアス電圧が与えられる。

【0073】 図8には、ワードドライバの一実施例の回路図が示されている。ワードドライバにおいては、記憶キャパシタへのフルライトを行うようにするため、ワード線の電位をセンスアンプの動作電圧に対して、メモリセルのアドレス選択用MOSFETのしきい値電圧分だけ高い電圧にする必要がある。それ故、動作電圧がVCHのように昇圧された電圧とされる。これに対して、デコーダ等は内部降圧電圧を用いているのでレベル変換を行う必要がある。

【0074】 この実施例では、ゲート回路G1により信号AないしCを解釈して、メモリアレイ選択信号を形成する。この信号は、上記のように昇圧電圧VCHに対して低い電圧であるので、昇圧電圧VCHで動作するラッチ形態のゲート回路G2とG3及びインバータ回路N2によりレベル変換された信号WPHを形成する。

【0075】 選択されたメモリアレイにおいては、信号WPHがVCHのようなハイレベルとなり、Pチャンネル型MOSFETをオフ状態にさせる。そして、デコーダ出力DEC1~DEC3を受けるNチャンネル型MOSFETが全てオン状態になってロウレベルの選択信号が形成される。これにより、ワードドライバを構成するPチャンネル型MOSFETがオン状態になって、ワード線WLiをVCHのようなハイレベルにする。このワード線WLiを受けるPチャンネル型MOSFETは、帰還用のPチャンネル型MOSFETであり、そのコンダクタンスが小さく形成されているのでワードドライバの入力信号が上記デコーダ出力DEC1~DEC3によりロウレベルとされる。

【0076】 非選択のワード線は、ワード線のロウレベルを受ける帰還用のPチャンネル型MOSFETがオン状態になっており、ワードドライバの入力信号をVCHに固定している。非選択のメモリアレイでは、信号WPHがロウレベルにされておりワードドライバの入力をVCHのようなハイレベルに固定している。

【0077】 このような周辺回路において、高電圧VCHレベルの信号を出力するPチャンネル型MOSFETが形成されるN型ウェル領域BNには、それに対応した高電圧VCHが供給される。つまり、図3に示すように、N型ウェル領域において、それが形成されるPチャンネル型MOSFETのソースが供給される動作電圧に対応してVCC/VCHのようなバイアス電圧が与えられるものである。

【0078】 図9には、出力バッファの一実施例の回路図が示されている。この出力バッファは、出力制御回路

と出力回路から構成される。出力回路は、Pチャンネル型出力MOSFET Q1とNチャンネル型出力MOSFET Q2からなるCMOS回路によって構成される。出力制御回路は、ゲート回路G1、G2とインバータ回路N1～N3及び抵抗R1、R2から構成される。

【0079】上記Nチャンネル型出力MOSFET Q2は、第2のP型ウェル領域BP2に形成され、外部端子IO1から伝えられるアンダーシュートに対して、出力MOSFET Q2のドレインと第2のP型ウェル領域が順バイアスされてしまうことがないように、例えば-2

Vのような基板バイアス電圧VBB1が供給される。Pチャンネル型出力MOSFET Q1はN型ウェル領域に形成され、そのソースには電源電圧VCCが供給される。それ故、図示しないけれども、かかるN型ウェル領域には電源電圧VCCがバイアス電圧として供給される。

【0080】これに対して、制御回路を構成するゲート回路G1、G2及びインバータ回路N1～N3を構成するNチャンネル型MOSFETは、第3のP型ウェル領域に形成され、前記のような回路の接地電位がバイアス電圧として与えられる。なお、上記制御回路を構成するPチャンネル型MOSFETは、N型ウェル領域に形成され、その動作電圧に対応して電源電圧がバイアス電圧として与えられる。

【0081】図10には、この発明に係るダイナミック型RAMにおける一実施例の外部電圧と内部電圧との関係を示す特性図が示されている。この実施例では、外部端子から約3.3Vのような電源電圧VCCを用いる例が示されている。電源電圧VCCが3.3Vのときには、斜線を付したA領域で内部電圧が定電圧化されて動作させられる。つまり、電源電圧VCCが3.3Vを中心にして許容範囲で変動しても、メモリアレイの基板電圧Vbbmatは安定化される。そして、入出力部は基板電圧Vbb(I/O1)のように安定化してもよいし、基板電圧Vbb(I/O2)のように電源電圧に対応して変化させるてもよい。

【0082】また、バーイン（エージング）テストのための加速試験を効率よく行うために、電源電圧VCCを通常の許容範囲を超えて高くしたときに、これらの電源電圧の上昇に伴い内部電圧も高くされる。すなわち、斜線を付した領域Bのようにバーインテスト用の電源電圧にすると、それに応じて内部電圧も高くされる。

【0083】図11には、この発明を説明するためのリフレッシュ特性図が示されている。リフレッシュ周期は、約16Mビット又は64Mビットのような多数のメモリセルの中において、最もリフレッシュ特性の悪いものにリフレッシュ周期を合わせ込む必要がある。同図において、基板バイアス電圧Vbbを浅くしていくと、リフレッシュ時間tREFが確実に長くなることが理解されよう。

【0084】つまり、同じ特性のメモリセルにおいても、上記基板バイアス電圧を絶対的に小さくしていくと、キャパシタに接続されたソース、ドレインと基板との間に加わる電圧が小さくなり、それに応じてリーク電流も低減される。約16Mや64Mビットのように記憶容量を増大させていくと、それに対応して記憶キャパシタの容量値も小さくなり、上記リーク電流が無視できなくなってしまうためである。そして、上記のような大記憶容量化を図ったものでは、いかに全てのメモリセルの特性を均一にすることは不可能に近く、1ビットあるいは数ビットのメモリセルにおいてリフレッシュ時間の短いものが存在し、それに対応してリフレッシュ周期を設定するために消費電流が増大してしまう。

【0085】この発明では、基板バイアス電圧を必要最小に設定して、メモリセルのキャパシタに接続されたソース、ドレインと基板との間に加わる電圧が小さくしてリーク電流も低減させるとい構成により、大記憶容量化を図ったダイナミック型RAMのリフレッシュ周期を大幅に長くすることができ、それにより大幅な低消費電力化が可能になるものである。

【0086】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) ダイナミック型メモリセルがマトリクス配置されてなるメモリアレイ部が形成されるP型ウェル部には、そのリフレッシュ特性に最適な絶対的に小さな電圧にされたバックバイアス電圧を供給し、外部端子に接続される入力回路又は出力回路のNチャンネル型MOSFETが形成されるP型ウェル部には、アンダーシュート電圧を考慮した絶対的に大きくされたバックバイアス電圧を供給することにより、リーク電流を低減させてリフレッシュ特性を改善しつつ、外部端子に対応した入力回路又は出力回路が形成されるP型ウェル領域にはアンダーシュート対策用を行うことができるという効果が得られる。

【0087】(2) 記メモリアレイ部及び入力回路又は出力回路のNチャンネル型MOSFET以外のNチャンネル型MOSFETを第3のP型ウェル領域に形成し、回路の接地電位を供給することにより、低電圧としても動作の高速化ができるという効果が得られる。

【0088】(3) 上記第1のP型ウェル領域に供給される第1のバックバイアス電圧を定電圧化された内部電圧により形成されたパルス信号を用いたチャージポンプ回路により形成することにより、基板バイアス電圧の定電圧化ができるという効果が得られる。

【0089】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、ダイナミック型RAMのレイアウトは、前記図1の実施例に

限定されるものではなく、種々の実施形態を探ることが

19

できるものである。同様に、基板バイアス発生回路や他の内部回路も種々の実施例形態を採ることができるものである。バイアス電圧は、内部回路で形成するもの他、必要に応じて外部から供給する構成としてもよい。周辺回路が形成されるP型ウェル領域は、前記のように回路の接地電位を供給するもの他、メモリアレイと同じバイアス電圧又は入出力回路と同じバイアス電圧を与えるようにしてもよい。

【0090】この発明は、ダイナミック型RAMの他、ダイナミック型メモリセルがマトリック配置されてなるメモリアレイを備えたデジタル集積回路等の半導体集積回路装置に広く利用することができるものである。

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、ダイナミック型メモリセルがマトリックス配置されてなるメモリアレイ部が形成されるP型ウェル部には、そのリフレッシュ特性に最適な絶対値的に小さな電圧にされたバックバイアス電圧を供給し、外部端子に接続される入力回路又は出力回路のNチャンネル型MOSFETが形成されるP型ウェル部には、アンダーシュート電圧を考慮した絶対値的に大きくされたバックバイアス電圧を供給することにより、リーク電流を低減させてリフレッシュ特性を改善しつつ、外部端子に対応した入力回路又は出力回路が形成されるP型ウェル領域にはアンダーシュート対策用を行うことができる。

【0091】記メモリアレイ部及び入力回路又は出力回路のNチャンネル型MOSFET以外のNチャンネル型MOSFETを第3のP型ウェル領域に形成し、回路の接地電位を供給することにより、低電圧としても動作の高速化ができる。

【0092】上記第1のP型ウェル領域に供給される第1のバックバイアス電圧を定電圧化された内部電圧により形成されたパルス信号を用いたチャージポンプ回路により形成することにより、基板バイアス電圧の定電圧化ができる。

【図面の簡単な説明】

【図1】この発明が適用されたダイナミック型RAMの一実施例を示すブロック図である。

【図2】この発明が適用されたダイナミック型RAMにおける制御信号に着目した一実施例のブロック図である。

【図3】基板バイアス発生回路の一実施例を示す回路図である。

【図4】この発明に係るダイナミック型RAMの一実施

20

例を示す概略素子構造断面図である。

【図5】この発明に係るダイナミック型RAMにおけるメモリマット部の一実施例を示す一部回路図である。

【図6】この発明に係るダイナミック型RAMにおけるメモリマット部の一実施例を示す他の一部回路図である。

【図7】この発明に係るダイナミック型RAMにおけるメモリマット部の一実施例を示す残り一部回路図である。

【図8】この発明に係るダイナミック型RAMにおけるワードドライバの一実施例を示す回路図である。

【図9】この発明に係るダイナミック型RAMにおける出力バッファの一実施例を示す回路図である。

【図10】この発明に係るダイナミック型RAMにおける一実施例を示す外部電圧と内部電圧との関係を示す特性図である。

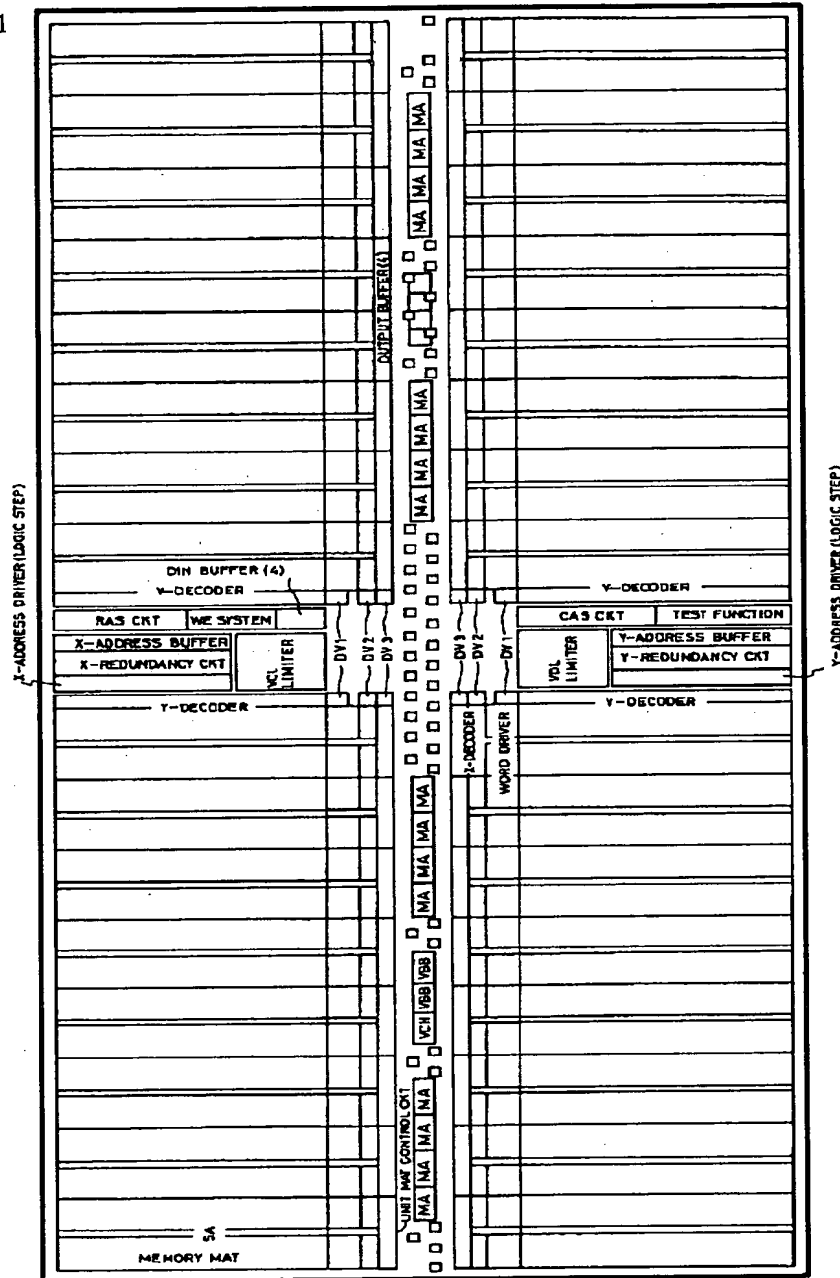
【図11】この発明を説明するためのリフレッシュ特性図である。

【符号の説明】

MEMORY MAT…メモリマット、SA…センスアンプ、Y-DECODER…Y選択回路（デコード）、X-ADDRESS BUFFER…Xアドレスバッファ、X-REDUNDANCY CKT…X冗長回路、X-ADDRESS DRIVER…Xアドレスドライバ、LOGIC STEP…論理段、RAS CKT…RAS系制御回路、WE SYSTEM…WE系制御回路、DIN BUFFER…データ入力バッファ、VCL LIMITER…内部降圧回路、Y-ADDRESS BUFFER…Yアドレスバッファ、Y-REDUNDANCY…Y冗長回路、Y-ADDRESS DRIVER…Yアドレスドライバ、CAS CKT…CAS系制御回路、TEST FUNCTION…テスト回路、VDL LIMITER…内部降圧回路、DV2～DV3…Xアドレスドライバ、X-DECODER…Xデコード、DV1…Yアドレスドライバ、VCH…昇圧電圧発生回路、MA…メインアンプ、VBB…基板電圧発生回路、OUTPUT BUFFER…データ出力バッファ、Q1～Q6…MOSFET、N1～N10…インバータ回路、G1～G5…ゲート回路、C1～C4…キャパシタ。N-SUB…N型基板、P-SUB…P型基板、PWELL…深いP型ウェル領域、NWELL…深いN型ウェル領域、BP1…第1のP型ウェル領域、BP2…第2のP型ウェル領域、BP3…第3のP型ウェル領域、BN…N型ウェル領域、BP…P型ウェル領域。

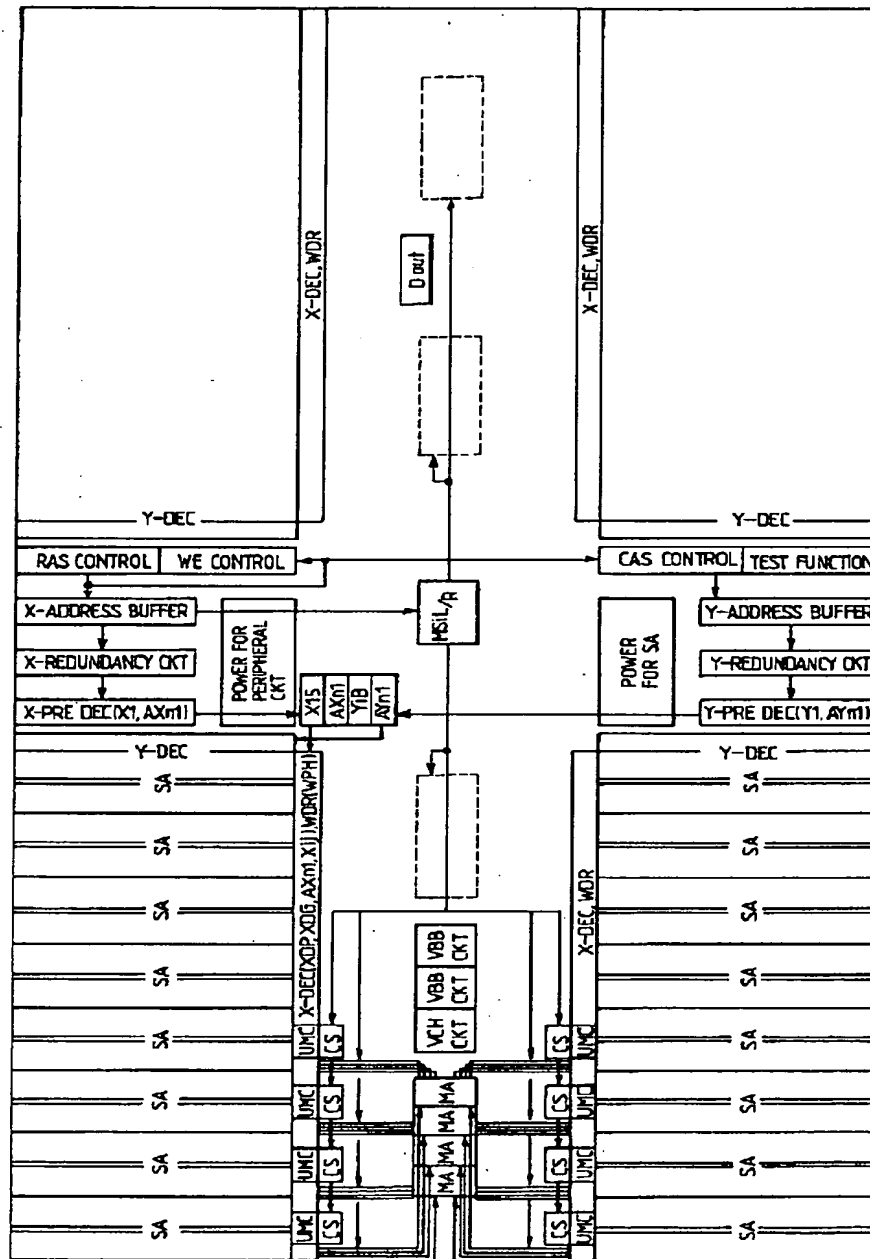
【図 1】

図 1

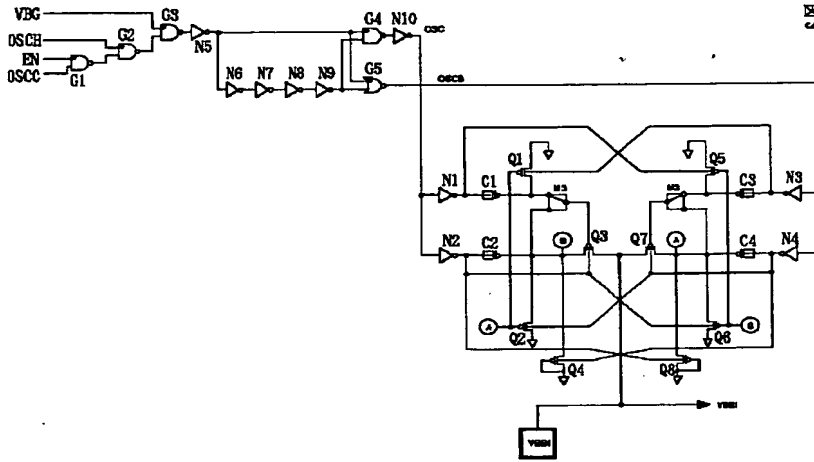


【図 2】

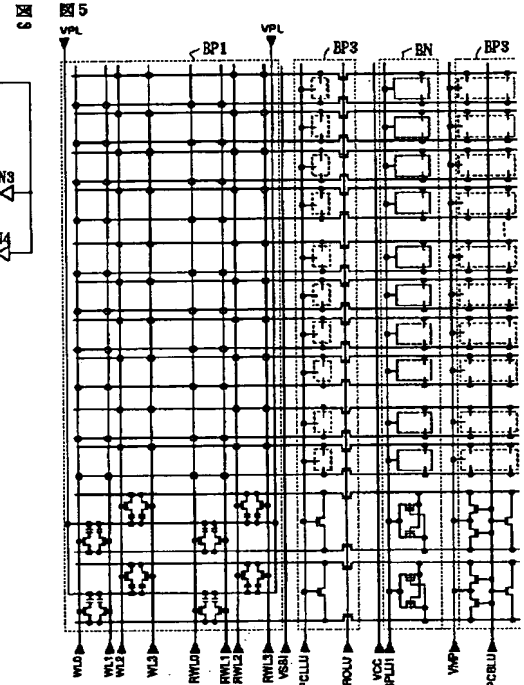
図 2



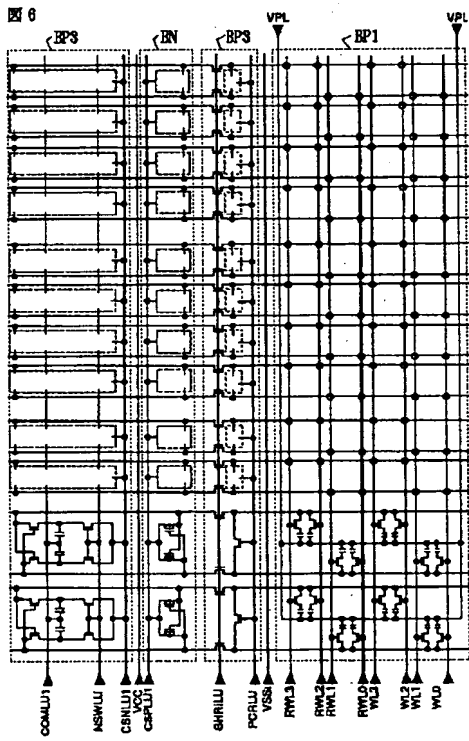
【図 3】



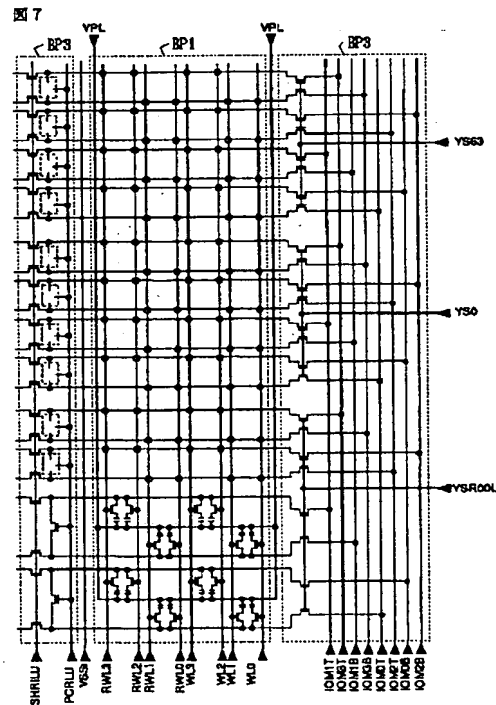
【図 5】



【図 6】



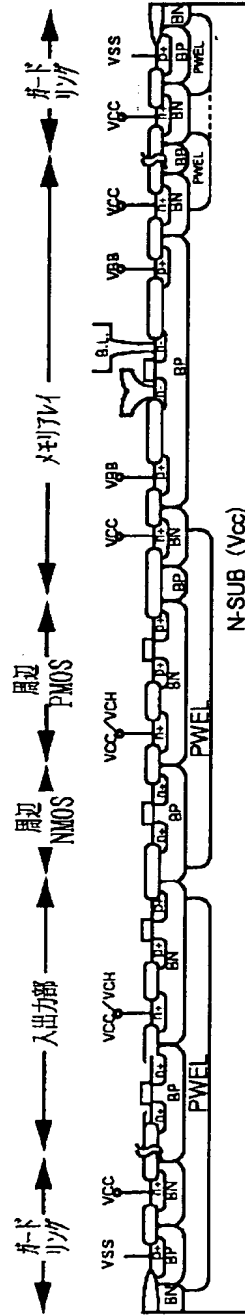
【図 7】



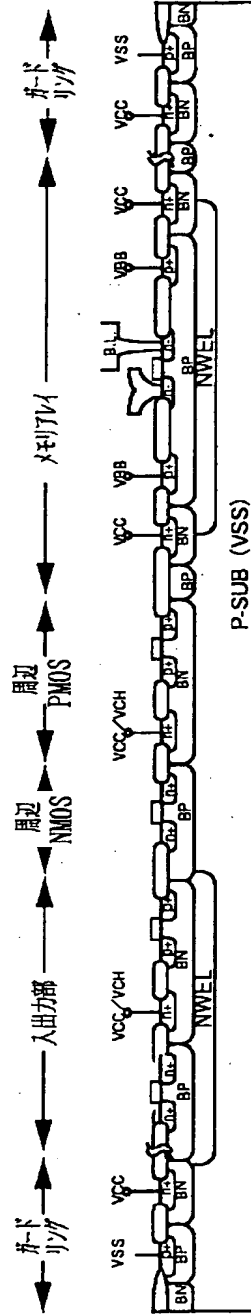
【図 4】

図 4

(A) Nsub3重ウエル断面

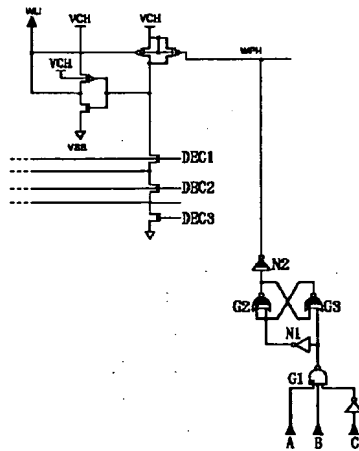


(B) Psub3重ウエル断面

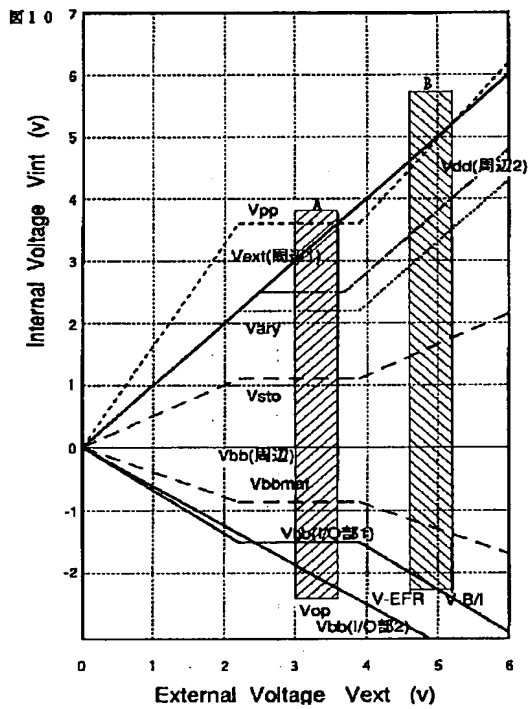


【図 8】

図 8

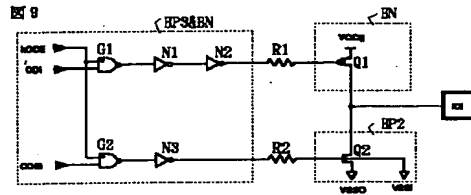


【図 10】

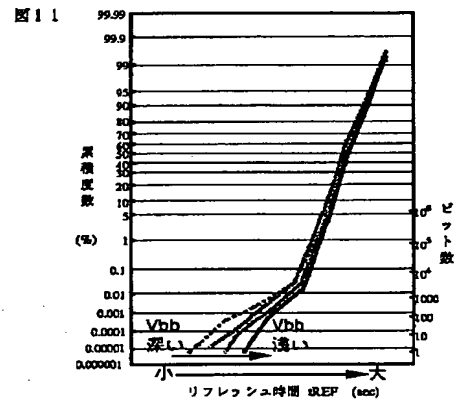


【図 9】

図 9



【図 11】



フロントページの続き

(51)Int.Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/822

21/8238

27/092

(17)

特開平 8-17941

H O 1 L 27/08

3 2 1 B

THIS PAGE BLANK (USPTO)